

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242231

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

H01L 21/66
G01R 31/26
H01L 21/02
H01L 21/304

(21)Application number : 09-041870

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.02.1997

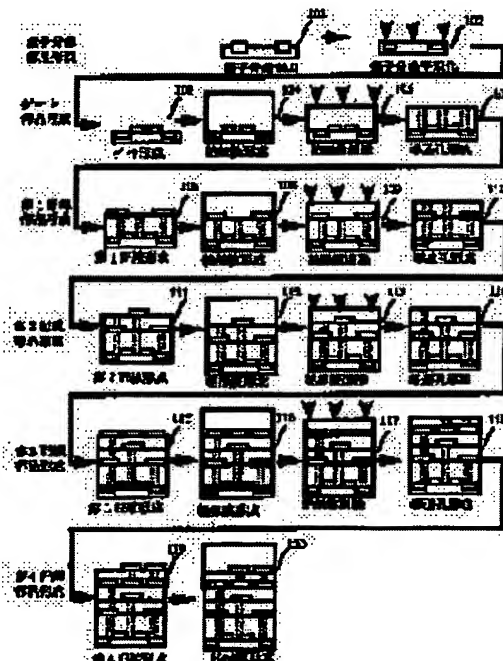
(72)Inventor : ISHIKAWA SEIJI
SAITO AKIO
AIUCHI SUSUMU
NAKAZATO JUN

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To essentially repairing failed semiconductor devices by removing already formed components and again forming new parts corresponding to the removed components.

SOLUTION: The manufacturing process comprises steps of forming a wiring on the tops of gate components (107), covering them with an insulator (108), planarizing the tops (109), boring conductive holes (110), if require, to form a first wiring part. Further a wiring is formed on the top (111), covering with an insulator (112). The top of this insulator is planarized (113), boring conductive holes to form a second wiring part (114). Similarly a third and fourth wiring parts are formed to complete a semiconductor device. Its electric characteristics are tested and analyzed, if defective, to detect defective components. For checking a defect of the third wiring part, the topmost insulation film of the third and second wiring parts of the device is partly polished and etched off and the third wiring part and others are formed again.



LEGAL STATUS

[Date of request for examination] 01.08.2000

[Date of sending the examiner's decision of rejection] 30.07.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242231

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L 21/66		H 0 1 L 21/66	Z
			E
G 0 1 R 31/26		G 0 1 R 31/26	G
H 0 1 L 21/02		H 0 1 L 21/02	Z
21/304	3 2 1	21/304	3 2 1 Z
		審査請求 未請求 請求項の数 7	O L (全 11 頁)

(21) 出願番号 特願平9-41870

(22) 出願日 平成9年(1997) 2月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 石川 誠二

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 斉藤 昭男

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 相内 進

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

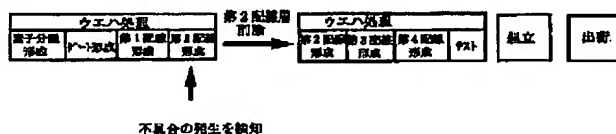
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 不具合が発生しても、すでに加工してしまったところは対処できないので、不良を作り続けることになってしまう。

【解決手段】 半導体デバイスを平坦化された面で挟まれた部品で形成することで、部品毎に削除、再生を可能にする。このように半導体デバイスを平坦化された面で挟まれた部品で形成することで、不具合が発生しても、部品毎に削除、再生を行えるので、生産効率を上げることができる。

図 5



【特許請求の範囲】

【請求項 1】平坦化を行うプロセスを用いて複数の部品を積層する半導体装置の製造方法であって、該部品を形成するまでの加工状況の良否を判定する検査を行い、該加工状況を不良と判断した場合に、既に加工した部品を削除し、再び該削除した部品の加工を行うことを特徴とする半導体装置の製造方法。

【請求項 2】前記平坦化した所定の層の上に検査回路を形成して、所定の電気特性検査を行った後に該検査回路を削除することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】前記電気特性検査からウェハの歩留まりを算出し、該算出した歩留まりと前記各部品を形成した後に検出される異物・欠陥数との相関関係から各部品を形成する工程での管理基準を設定して製造プロセスを管理することを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】前記検査結果から、前記加工状況が不良の部品を含んだまま生産することで発生する費用と、前記加工状況が不良の部品を削除して再加工するのに必要な費用を比較することで、前記部品を削除するか否かを判断することを特徴とする請求項 1～3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】平坦化を行うプロセスを用いて複数の部品を積層する半導体装置の製造方法であって、前記半導体装置の設計変更が生じた場合に、該設計変更の生じた部品を削除し、該設計変更に応じた部品の加工を行うことを特徴とする半導体装置の製造方法。

【請求項 6】平坦化を行うプロセスを用いて複数の部品を積層する半導体装置の製造方法であって、所定の部品を削除し、該削除した部品と異なる部品を加工することで、製造すべき半導体装置の品種を切り替えることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】平坦化を行うプロセスを用いて複数の部品を積層する半導体装置の製造方法であって、積層された部品を削除した後、所定の部品を積層することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、特に生産性を向上させるのに好適な半導体装置の製造方法に関する技術である。

【0002】

【従来の技術】現在、半導体デバイスは、ウェハ上に成膜、露光、現像、エッチング等の処理を繰り返し行い、所望のパターンを積み上げて製造されている。このようなデバイスの製造途中で、異物付着等の不具合が生じると、デバイスは所望の電気特性が得られずに不良品となってしまう。そのため、特開平 3-44054 号公報に記載されるように、不具合が発生した工程を特定し、該

当工程を改善して生産効率を上げている。

【0003】

【発明が解決しようとする課題】しかし、これらの発明は、いずれもデバイス製造の最後にある電気特性テストの結果を用いるために、その結果を得るまでは、途中工程で発生した不具合を検知できずに不良品を作り込んでしまう。また、不具合の発生を検知したとしても、不具合が発生した工程に対する対策が効を奏するまで、不良品を作り続けるか、該当工程または装置での処理を停止しなければならない。

【0004】このように従来の半導体デバイスの製造方法は、不具合が発生した工程を改善するものがほとんどであり、不具合の生じたウェハ自体を救済してはいなかった。そのため、不具合の発生から検知までの間に製造された半導体デバイスの大半は不良品となる確率が高く、場合によってはウェハ自体を破棄していた。今後、ウェハが大口径化してウェハ 1 枚当たりのコストが上昇することを考えると、不具合の生じたウェハを従来のように破棄することはコスト面で問題となる。

【0005】一方、前述のプロセス管理により製造歩留まりを向上させるには、安定した製造プロセスを実現するための知見を獲得しなければならず、相当な日数を費やさなければならない。従って、製品を開発・出荷した当初の知見の少ない状態で製造歩留まりを低減させることは極めて難しい。最悪の場合、その納期までに要求量を製造できないことも少なくない。納期迄に顧客の要求量が満たされないとビジネスチャンスを失うことになる。最近では、製品のライフサイクルは短くなる傾向にあり、知見が十分に獲得できる前に次期製品を製造しなければならない状況に成りつつある。

【0006】これらの問題は、前述の如く、安定した製造プロセスを実現させることで製造歩留まりを向上させることにのみ着目し、不具合の生じた半導体デバイスを本質的に救済しなかったことに起因して発生している。

【0007】ウェハ自体（ウェハに形成される半導体デバイス）を救済する技術としては、半導体デバイスに冗長ビットを形成することが知られているが、これはメモリ系の半導体デバイスに適用可能な技術であり、それぞれのビットが意味を持って動作するロジック系の半導体デバイスには適用できない。また、半導体デバイスに冗長ビットを持たせたとしても、冗長ビット自体が不良となる場合もあり、その救済効率を向上させるには限界があることは言うまでもない。特に製造初期の不安定な製造プロセスにおいては、これらの技術では対応しきれない。

【0008】本発明は、このような従来の問題点を解決するものであり、不具合の生じた半導体デバイスを本質的に対策して、製造歩留まりを向上させることを目的とする。

【0009】

10

20

30

40

50

【課題を解決するための手段】本発明は、上記目的を達成するために、順次形成される各層の表面を、例えばC.M.P.(Chemical Mechanical Polishing)と呼ばれる研磨により平坦化しておき、半導体デバイスを削除可能なくつかの部品とみなして積み上げて製造するものであり、不具合が発生した場合、不具合の生じた部品までを削除して再度、各層を形成して半導体デバイスを製造するものである。

【0010】すなわち、平坦化を行うプロセスを用いて複数の部品を積層する半導体装置の製造方法であって、積層された部品を削除した後、所定の部品を積層するものである。

【0011】より具体的には、平坦化を行うプロセスを用いて複数の部品を積層する半導体装置の製造方法であって、該部品を形成するまでの加工状況の良否を判定する検査を行い、該加工状況を不良と判断した場合に、既に加工した部品を削除し、再び該削除した部品の加工を行うものである。

【0012】この場合、前記平坦化した所定の層の上に検査回路を形成して、所定の電気特性検査を行った後に該検査回路を削除しても良い。

【0013】また、前記電気特性検査からウエハの歩留まりを算出し、該算出した歩留まりと前記各部品を形成した後に検出される異物・欠陥数との相関関係から各部品を形成する工程での管理基準を設定して製造プロセスを管理しても良い。

【0014】また、前記検査結果から、前記加工状況が不良の部品を含んだまま生産することで発生する費用と、前記加工状況が不良の部品を削除して再加工するのに必要な費用を比較することで、前記部品を削除するか否かを判断しても良い。

【0015】その他、本発明は、平坦化を行うプロセスを用いて複数の部品を積層する半導体装置の製造方法であって、前記半導体装置の設計変更が生じた場合に、該設計変更の生じた部品を削除し、該設計変更に応じた部品の加工を行うことで上記目的を達成するものである。

【0016】さらには、本発明は、平坦化を行うプロセスを用いて複数の部品を積層する半導体装置の製造方法であって、所定の部品を削除し、該削除した部品と異なる部品を加工することで、製造すべき半導体装置の品種を切り替えることで上記目的を達成するものである。

【0017】

【発明の実施の形態】以下、図面を用いて詳細に説明を行う。

【0018】(実施の形態1) 本発明の半導体装置の製造方法を図1、図2を用いて説明する。

【0019】図1は、平坦化技術を用いた半導体デバイスの製造工程を示したものであり、図2は、図1に示す製造工程で不具合が発生した場合の処理を示したものである。なお、図1、2では、素子分離とゲート、4つの

配線を形成するまでを一例として説明している。

【0020】ここで、平坦化を行った面に挟まれた層、あるいはシリコン基板と平坦化を行った面に挟まれた層、あるいは平坦化を行った面と保護膜に挟まれた層を部品と呼ぶ。同様に、素子分離を含む層は素子分離部品、ゲートを含む層はゲート部品と呼ぶ。

【0021】図1において、まず、ウエハ上に所定の素子を分離させて形成し(101)、その表面を平坦化して(102)、素子分離部品を形成する。この際、平坦化を行う方法としては、エッチングによる方法、CMP (Chemical Mechanical Polishing) による方法、粘性の低い材料により被膜する方法等がある。

【0022】本発明では、最終的に製造される半導体デバイスのうち、不具合を生じたものを本質的に救済できるように、各層を平坦化させて形成しておく。つまり、平坦化させて各層を形成することで、不具合の生じた部分を明確化し、その部分を削除できるようにする。

【0023】次に、形成した素子分離部品の上にゲートを形成し(103)、絶縁体で被膜した(104)後、ここでも絶縁体層の上部を前述と同様の方法により平坦化する(105)。そして必要に応じて導通孔をあけ(106)、ゲート部品を形成する。

【0024】次にゲート部品の上部に配線を形成する(107)。配線を形成した後、絶縁体で被膜する(108)。この絶縁体も上部を平坦化し(109)、必要な導通孔をあけて(110)、第1配線部品を形成する。

【0025】さらに上部に配線を形成して(111)、絶縁体で被覆する(112)。この絶縁体も上部を平坦化し(113)、必要な導通孔をあけて(114)、第2配線部品を形成する。

【0026】(112)までに製造した部分には素子分離とゲートによりトランジスタ素子が形成できるのでそれらトランジスタ素子を配線で接続することによって、ANDやNAND等の演算の基本回路を構成することができる。これらを以下、基本回路と呼ぶ。

【0027】所望の機能はこれら基本回路をさらに上位の配線で接続することで実現する。

【0028】すなわち、第2配線部品を被膜する絶縁体部品の上部を平坦化し(113)、必要に応じて導通孔をあける(114)。その上に配線層を形成し(115)、その配線層を絶縁膜で被覆する(116)。その絶縁層の上部を平坦化し(117)、必要ならば導通孔を形成して(118)、第3配線部品を形成する。この第3配線部品の上部に配線を形成し(119)、それを絶縁体で被膜する(120)。この配線部品が最上層となる場合は特に絶縁体の上部を削除しなくてもよい。通常、この最上層の上に保護膜をつける。

【0029】第3、第4の配線部品によって基本回路間

の接続を行い、所望の製品特性が得られるようにする。

【0030】所望の製品特性が得られたチップは、ダイシングして切り離される。チップ単位で出荷されるものもあるが、一般には基板等にチップを搭載し、該基板等にリード、パンプ等の外部端子を取り付け、樹脂モールドして半導体装置が製造される。

【0031】このように、本発明では順次形成される各層の表面を平坦化しておき、半導体デバイスを削除可能なくつかの部品とみなして積み上げて製造する。この場合、各部品を研磨、エッチング等で削除できるように、各部品に設けられた絶縁膜の厚さは、その削除分を考慮して形成する。例えば、第1配線部品を削除する場合に、削除によるダメージがゲート部品に形成されたゲートに加わらないようにその絶縁膜の厚さを設定する。また、ゲート部品に形成された絶縁膜は、そのゲートが十分に絶縁できる厚さを確保している。

【0032】次に、このように形成された半導体デバイスは、図2に示すように、その電気的特性を検査して良・不良を判定する。不良と判定された半導体デバイスについては解析を行い、不具合の発生した部品を検出する。例えば、外観検査装置による外観検査や、半導体デバイスの発熱分布などを解析すれば不具合の発生した部品を検出することが可能である。

【0033】その結果、第3配線形成での不具合の発生を確認したならば、その半導体デバイスの第3配線部品および第2配線部品の最上層となる絶縁膜の一部を研磨、エッチング等により削除する。この場合も第1配線部品の最上層となる絶縁膜を平坦化するように削除する。そして、第3配線部品以降を再び形成する（以下、再生と呼ぶ）。

【0034】このように平坦化技術を用いて半導体デバイスを製造することにより、不具合の生じたデバイス自体の救済が可能となるので、不良品と認定された半導体デバイスを破棄せずに済み、生産原価の低減が図れる。また、不具合の発生した部品を削除してその部品以降を再形成するので、従来に比べて短期間で必要量の半導体デバイスを製造することができ、市場ニーズに早期に対応することが可能となる。

【0035】一方、電気特性結果より得られる製造歩留まりから、製造歩留まりと異物・欠陥数との相関関係を算出し、所定数以上の異物・欠陥を有する部品を不具合の発生した部品とみなして削除、再生処理することもできる。すなわち、異物・欠陥検査装置により各層の異物・欠陥数の推移等を管理しておき、予め設定していた管理基準（異物・欠陥数）を越えるような場合は、該当する部品を不具合の発生した部品として削除、再生処理する。

【0036】削除、再生処理するか否かを判定するには、そのまま作り込んだ場合の製造歩留まりと、削除、再生処理をした場合の製造歩留まりとの差を算出し、そ

の差により生ずる利益と削除するための費用とを比較して、総合的に利益が生ずる場合に実行することが好ましい。

【0037】もしくは、ある期日までに必要量を製造するのに必要な製造歩留まりを算出しておき、所定の製造歩留まりを満たさない場合に削除、再生処理することが好ましい。

【0038】このように各部品に付着する異物数・欠陥数を管理することで、各部品を形成する毎に削除するか否かを判定できるので、不良品を作り込む前に早期に対策することができる。また、前述のような削除する基準を設定することで、製造コストを低減でき、所定期間内に効率の良い半導体デバイスを製造することができる。

【0039】（実施の形態2）実施の形態1では、最終的な半導体デバイスの特性を利用した救済方法について説明した。次に、最終的な半導体デバイスの特性を利用しない製造途中での検査方法（電気特性、外観形状）と、その検査において不具合を検出した場合の処理を図3～図5を用いて説明する。なお、製造プロセスについては、前述の図1と同様である。

【0040】検査を行う工程を図3に示す。図3では、素子分離部品、ゲート部品、第1配線部品から第4配線部品の各部品において行う例を示しており、各部品を形成した後で半導体デバイスの検査を行う。これらの部品の中に、安定して生産できる部品がある場合などは、その検査を省略してもよい。

【0041】検査方法の一例を図4に示す。図4は、製造途中で電気特性を測定する方法であり、この検査の場合、テスト信号の入出力を行う入出力回路を必要に応じて形成する。なお、図4では、第2配線部品を例にとり、該第2配線部品形成後の検査方法を示している。

【0042】まず、第2配線部品形成（301）後、その上に入出力回路を形成する。この回路は、外部との信号のやりとりを行うパッド（303）と、パッドから被試験部まで信号を導く配線（302）等からなる。図4は断面図なので明示していないが配線（302）とパッド（303）は、当然別断面においては接続している。外部からの信号の入力方法は、パッドに針を当て電圧を加える方法、パッドに電子線照射する方法等がある。外部に信号を出力する方法は、パッドに針（303）をあて、電圧の変化を知る方法、被試験部の温度、発光スペクトル等をモニタする方法がある。後者の方法は、被試験部がショートしている場合など、大量の電流が流れるため、発熱するので、不具合が発生していると判断できる。

【0043】この検査が終了したならば、該入出力回路は不要なので削除する（304）。この削除も、エッチングやCMPによって行う。この削除を行う時には、削除のしすぎや削除自体のダメージがデバイス（第2配

線)に加わらないように、絶縁被膜の厚さを設定する。

【0044】なお、この検査方法は、必ずしもウエハ上の全基本回路(チップ)を検査する必要はない。ウエハ上の各チップから何点か選んで検査を行えばよい。また、第1配線部品を加工した後での検査では、検査対象の回路自体が論理的な機能を果たしていないので、検査パターンを生成したり、その結果を解釈する労力が大きくなる。そこで第1配線部品を加工した後での検査は省略し、第2配線部品を形成後、基本回路の回路特性の検査として行えばよい。同様な意味で第3部品の検査は省略し、第4部品目の検査で製品の機能検査を行う。

【0045】製造途中の電気特性を検査する以外に、デバイスの外観形状を検査しても良い。半導体の外観検査装置はすでに広く利用されており、本発明においても、通常用いられている外観検査装置によって、半導体ウエハごと検査を行えばよい。

【0046】この検査方法では、形成される各部品の所望の形状を予めシミュレーション等を用いて生成して記憶しておき、外観検査によって得られる各部品の外観形

$$Rf = Nf / Na$$

次に、ウエハの製造に要した費用をC、及びウエハ1枚

$$L = (C + B) Rf$$

となる。

【0050】そこで1ウエハ当たりの第2配線工程の再生費用をCRとすると、以下の条件を満足する場合に利

$$Nf \geq Na \cdot CR / (C + B)$$

従って(式3)を満たす最小の値を管理基準とし、それ以上の不良チップが発生したならば再生を行うように製造プロセスを管理する。

【0052】これはデバイスの外観形状を検査する場合にも適用できることは言うまでもない。

【0053】この他にも、異物・欠陥検査装置により異物数・欠陥数を管理しておき、所定数以上の異物・欠陥

$$Y = \exp(-D \cdot A)$$

と表す。

【0055】そこで、ウエハの製造に要した費用をC、

$$L = (C + B) (1 - Y)$$

となる。

【0056】そこで1ウエハ当たりの第2配線工程の再

$$L / CR > 1$$

のとき、削除、再生処理により利益が生ずることとなる。

【0057】従って、(式6)をDについて解き、以下の条件を満たす場合に削除、再生処理を行うようにす

$$D > -\ln(1 - CR / (C + B)) / A$$

このように製造途中の検査を用いることで、従来にはない部品毎の品質管理を実現することができる。特に、製造途中の半導体デバイスの品質を部品単位で行うことができるので、デバイス設計に起因するような事象に対して効果がある。また、部品毎の歩留まりが把握できるので、不具合の発生している工程を絞り込むのに、該部品

状がその記憶された所望の形状と差異がないか検査を行う。

【0047】以上のような手法により製造途中で半導体デバイスの不具合を検出したならば、図5に示すような処理を行う。

【0048】例えば、第2配線部品において不具合が発生し、多くのチップが不良となることが判明したならば、第2配線部品および第1配線部品の最上層となる絶縁膜の一部を研磨、エッチング等により削除し、該第2配線部品を再び形成する。なお、この場合も第1配線部品の最上層となる絶縁膜を平坦化するように削除する。この削除、再生処理については、実施の形態1と同様の処理なので説明を省略する。この削除、再生処理を行うか否かの判定は、以下のようにすることが好ましい。

電気特性結果によって不具合が発生したチップ数(Nf)が分かる場合、不良率Rfを算出する。ここで、Naはウエハ上のチップ数である。

【0049】

(式1)

あたりの利益をBとすると損失期待値Lは

(式2)

益が生ずる。

【0051】

(式3)

数を有する部品を不具合の発生した部品とみなして削除、再生処理しても良い。この場合、以下のような管理基準を用いることが好ましい。この場合、最終的な電気特性検査の結果を用いずに歩留まり予測する。

【0054】例えば、第2配線部品の不具合の密度をD、チップの面積をAとすると、第2配線工程の予測歩留まりYを

(式4)

及びウエハ1枚あたりの利益をBとすると損失期待値Lは

(式5)

生費用をCRとすると

(式6)

る。

【0058】

(式7)

を形成する工程を対象に考えればよい。そのため、考慮の対象が絞り込まれ原因工程が絞り込みやすくなる。また、製造途中で不具合の発生が分かるので、従来、最終特性検査がすむまで、特性の異常が分からなかったことに比べると格段に早い対策が打てるようになる。

【0059】(実施の形態3)次に、本発明を適用し、

た、より具体的な実施の形態を図6を用いて説明する。

【0060】図6は、製造途中の半導体デバイスを外観検査（異物数・欠陥数）と電気特性検査を組み合わせる検査し、その検査結果に基づいて削除、再生処理する例を示している。なお、電気特性検査は、トランジスタの特性が検査できる部品（本説明ではゲート部品）、基本回路の特性が検査できる部品（本説明では第2配線部品）等で検査を行うことが好ましい。

【0061】まず、素子分離部品の形成（501）後、外観検査（502）を行う。この場合、所定の不具合の発生密度（異物数・欠陥数）を管理基準として設定しておき、管理基準を越えるか否かを判定する。そして、管理基準を越える場合は式（6）を満足するか否かを判定する。式（6）を満足する場合は再生処理を行い、満足しない場合は破棄してしまう（503）。

【0062】次にゲート部品を形成する（504）。ここでは外観検査（505）と電気特性検査（506）を行う。この場合、まず外観検査を行い、生産を続行するか、再生処理するか、破棄するかを判定する。これは前述の素子分離部品と同様の判定処理を行えばよい。次に電気特性検査を行い、不具合の発生したチップ数を算出する。この算出したチップ数に基づいてウエハの歩留まりを算出し、その歩留まりと外観検査（502）、（505）で検出した異物数・欠陥数との相関関係をも算出する。この相関関係により、所定の歩留まりを達成するための異物数・欠陥数を算出して外観検査（502）、（505）の管理基準として設定する。なお、さらに電気特性検査の検査結果が式（3）の条件を満足するかにより、再生処理するか否かを決定しても良い。

【0063】以下、同様にして、第1配線部品、第2配線部品、第3配線部品、第4配線部品を形成する。

【0064】このように電気特性検査と外観検査とを組み合わせることで、部品毎の歩留まりが把握できるので、不具合の発生している工程を絞り込むのに、該部品を形成する工程を対象に考えればよい。そのため、考慮の対象が絞り込まれ原因工程が絞り込みやすくなる。また、製造途中で不具合の発生が分かるので、従来、最終特性検査がすむまで、特性の異常が分からなかったことに比べると格段に早い対策が打てるようになる。

【0065】（実施の形態4）これまでは、所定の基準値を満たさない半導体デバイスに対して削除、再生処理する例を説明してきたが、本発明の削除、再生処理という考え方は、以下のような半導体デバイスの製造方法に適用することもできる。

【0066】すなわち、生産を開始してから市場の要求が代わったときなど、すでに加工した部品を削除して、別の品種に切り替えることができる。これは、例えば、基本回路の部分の製造と、その上位の配線層の一部の処理が終了しているところで、品種変更の必要性が発生したなら、共有できない配線層の部分を削除し、そこから

新たに製造し直す。

【0067】従来、マスクROMと称する半導体デバイスでは、共通部分となる基本回路の部分（ベース部分と通称している）を製造し、顧客の設計に合わせて配線部分を作り込んでいる。従来のマスクROM製造では、品種切り替えが可能なのは、ベース部分の製造終了時に限られる。しかし、本発明においては、ベース部分（または基本回路部分）の製造終了後だけでなく、配線層を形成し始めても、共有できない層を削除することによって、品種の切り替えができるようになる。これにより、市場への柔軟な対応が可能になる。

【0068】一方、こうした生産方式は特に特別仕様品の生産にも好適である。例えば顧客から出た仕様に基づき設計を行い製造する際に設計が誤っていた場合、その対策を迅速に行うことが出来る。従来は誤っていた箇所を一度加工してしまったならば該当するウエハは捨てるしかなかった。しかし、本技術を用いれば再生コストとして見合いさえすれば該当層を削除してしまえばよい。そして該当層から再生する時間だけで顧客に製品を納めることが出来る。従来はウエハを捨ててしまえば始めから作り直さねばならず、納期遅延により顧客に損失を与えてしまうこともあった。DRAM等の汎用品では顧客においては別の製造メーカーから同一の仕様品を購入すれば事足りたが特別仕様品の場合は製造メーカーを切り替えることも出来ないことが多い。従って、製造メーカーにとって特別仕様品の納期遅延は極めて重大な問題である。

【0069】また、特別仕様品の場合、顧客からの仕様あるいは設計に急に変更になることがある。

【0070】これは場合によっては既に製造を開始してから、設計に誤りがあることが判明することもある。この場合、該誤りが存在する部品までさかのぼって削除し、該削除した部品を正しい設計のもとで加工を行うことも可能となる。

【0071】この場合の処理手順を図7を用いて説明する。従来においては、設計が完了し、ウエハ処理工程において製造を開始した後、例えば第2配線層の設計に関し誤りがあったならば、第2配線層より先に処理が済んでしまっていたならば、当該ウエハは破棄するしかなかった。そしてまた、新しいウエハをラインに投入し、はじめから処理を行わなければならない。このとき、破棄したウエハのコストが発生し、さらにははじめから作りなおすために、時間的にも遅れが発生する。本発明においては、第2配線層に設計変更が行われたとしても、第2配線層までいったん削除し、そこから作りなおせばよい。したがって、破棄されるウエハがなく、その分生産原価の低減が図れる。また、製造期間もはじめから作りなおす必要がないので、短くすることができる。ここでは第2配線層を例に取って説明したが、どの層に対する設計変更でも同様である。ただし、設計変更が上部の層に対するものである方が、本発明の効果は大きくなる。

【0072】これまで説明してきたように、本発明によれば、製造途中で再生ができるようになったので、歩留まり向上や生産原価低減といった生産効率が図れる。また途中から別の品種に切り替えることができるので市場の動向の変化にも迅速に対応できる。

【0073】さらに、製造途中で不具合の発生が分かるので対策を早く打てるようになるとともに、その対策をうつ際も、該当する部品を形成するのに関連する工程のみ考慮すればよいので、原因工程の絞り込みが容易になる。

【0074】また、設計上の誤りが判明したならば、その誤りの存する部品までさかのぼって削除し、正しい設計のもとで作りなおせばよいので、生産効率が上がる。これは特に製品寿命が短い製品や特別な仕様の少量生産品の場合に効果が大きい。

【0075】なお、これまで4層の配線を積層する例を説明してきたが、本発明はロジック系、メモリ系等の全ての半導体装置の製造方法に適用できることは言うまでもない。

【0076】また、削除、再生する場合の判定方法についても、これまで説明してきた方法に限られるものではない。

【0077】

【発明の効果】以上のように、本発明によれば、製造途中で再生ができるようになったので、歩留まり向上や生産原価低減といった生産効率が図れる。

【図面の簡単な説明】

【図1】平坦化技術を用いた半導体デバイスの製造プロセスを示す図。

【図2】検査後の処理を示す図。

【図3】製造途中における検査を示す図。

【図4】製造途中における電気特性検査を示す図。

【図5】検査後の処理を示す図。

【図6】製造途中における検査を示す図。

【図7】設計変更に対する処理を示す図。

【符号の説明】

101・・・素子分離形成

102・・・素子分離平坦化

103・・・ゲート形成

104・・・絶縁膜形成

105・・・絶縁膜削除

10

20

30

40

106・・・導通孔形成

107・・・第1配線形成

108・・・絶縁膜形成

109・・・絶縁膜削除

110・・・導通孔形成

111・・・第2配線形成

112・・・絶縁膜形成

113・・・絶縁膜削除

114・・・導通孔形成

115・・・第3配線形成

116・・・絶縁膜形成

117・・・絶縁膜削除

118・・・導通孔形成

119・・・第4配線形成

120・・・絶縁膜形成

301・・・第2配線部品形成

302・・・検査用配線

303・・・検査用パッド

304・・・検査用回路削除

501・・・素子分離部品形成

502・・・外観検査

503・・・判定

504・・・ゲート部品形成

505・・・外観検査

506・・・電気特性検査

507・・・判定

508・・・第1配線部品形成

509・・・外観検査

510・・・判定

511・・・第2配線形成

512・・・外観検査

513・・・電気特性検査

514・・・判定

515・・・第3配線形成

516・・・外観検査

517・・・判定

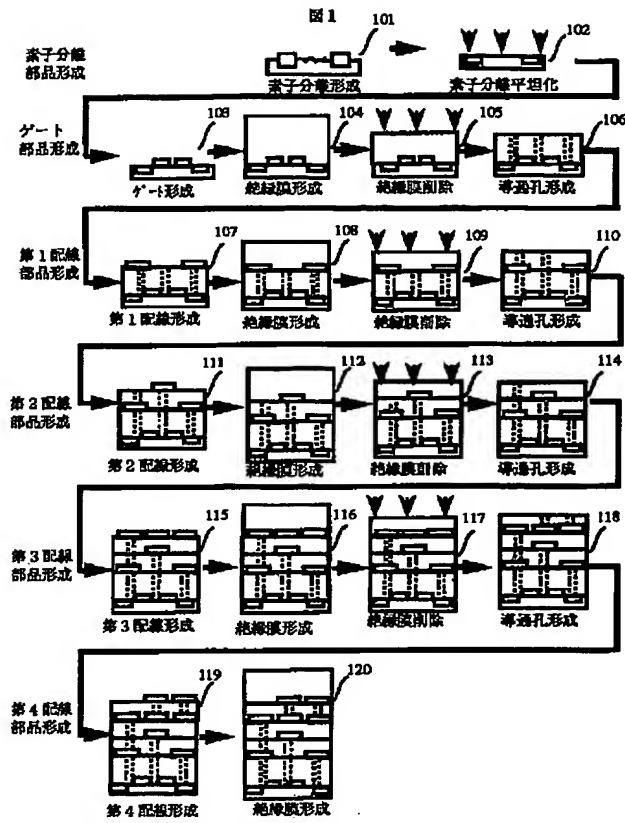
518・・・第4配線形成

519・・・外観検査

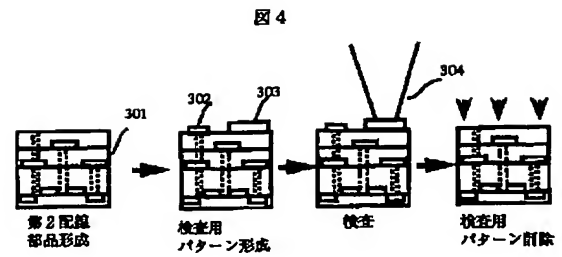
520・・・電気特性検査

521・・・判定

【図1】

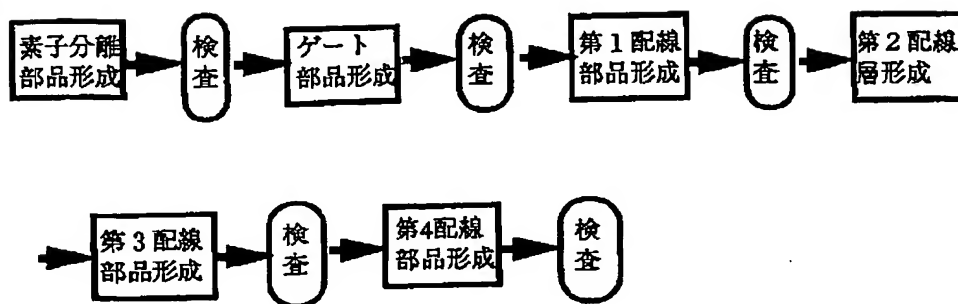


【図4】



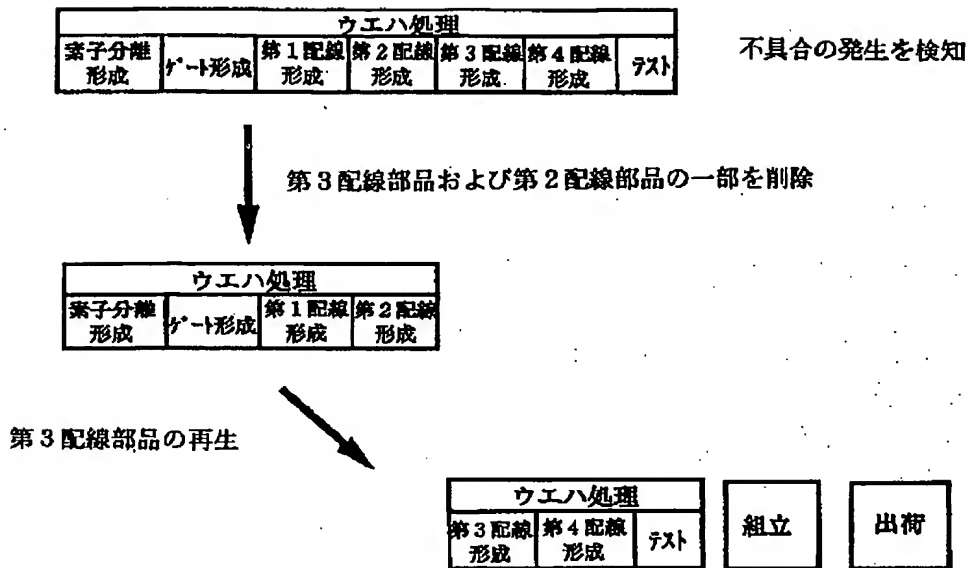
【図3】

図3



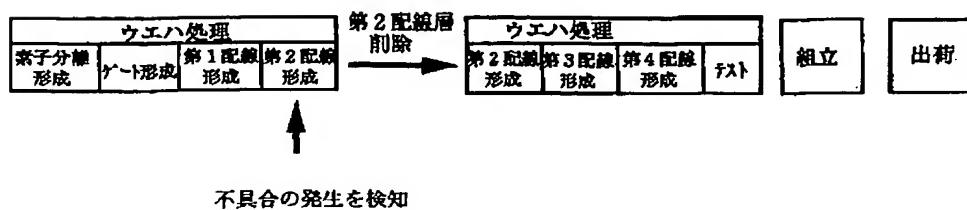
【図2】

図2



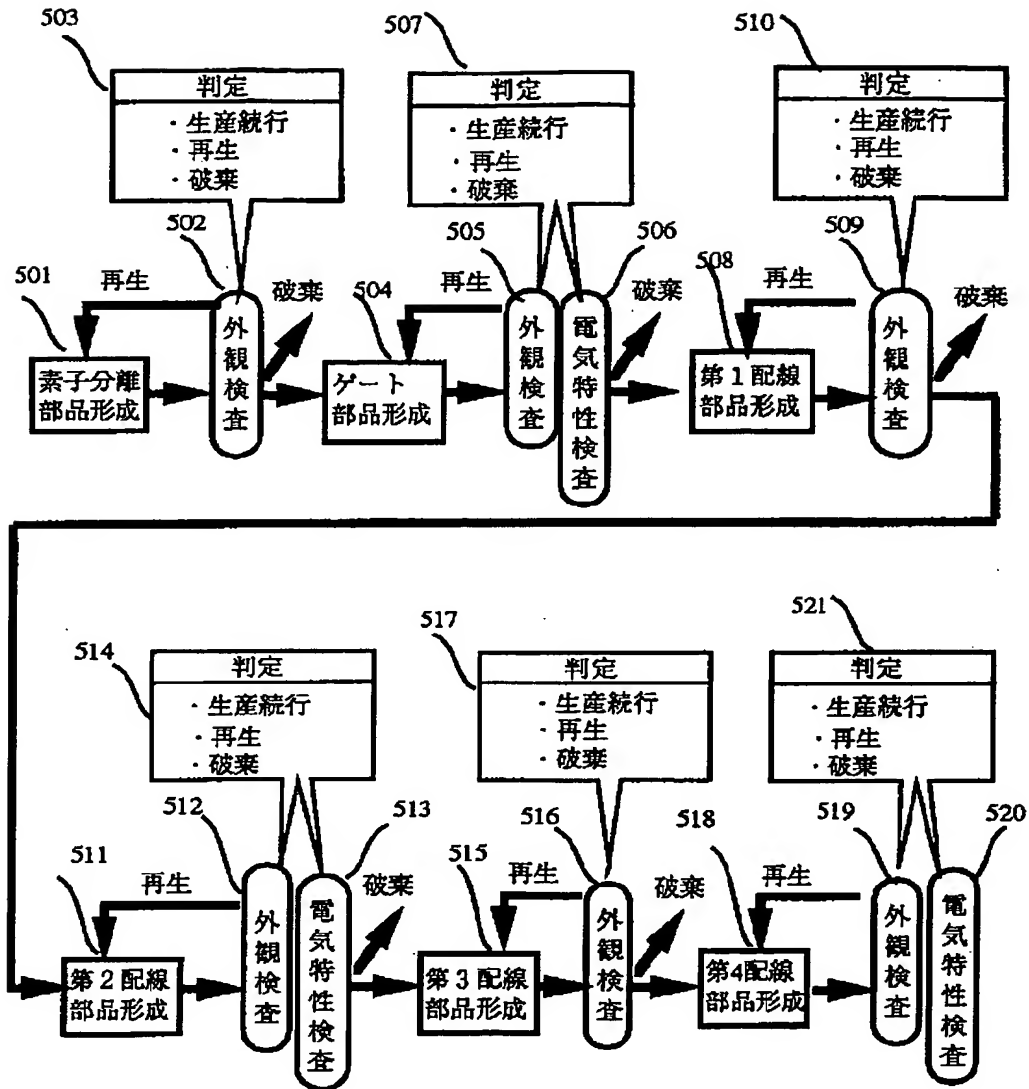
【図5】

図5

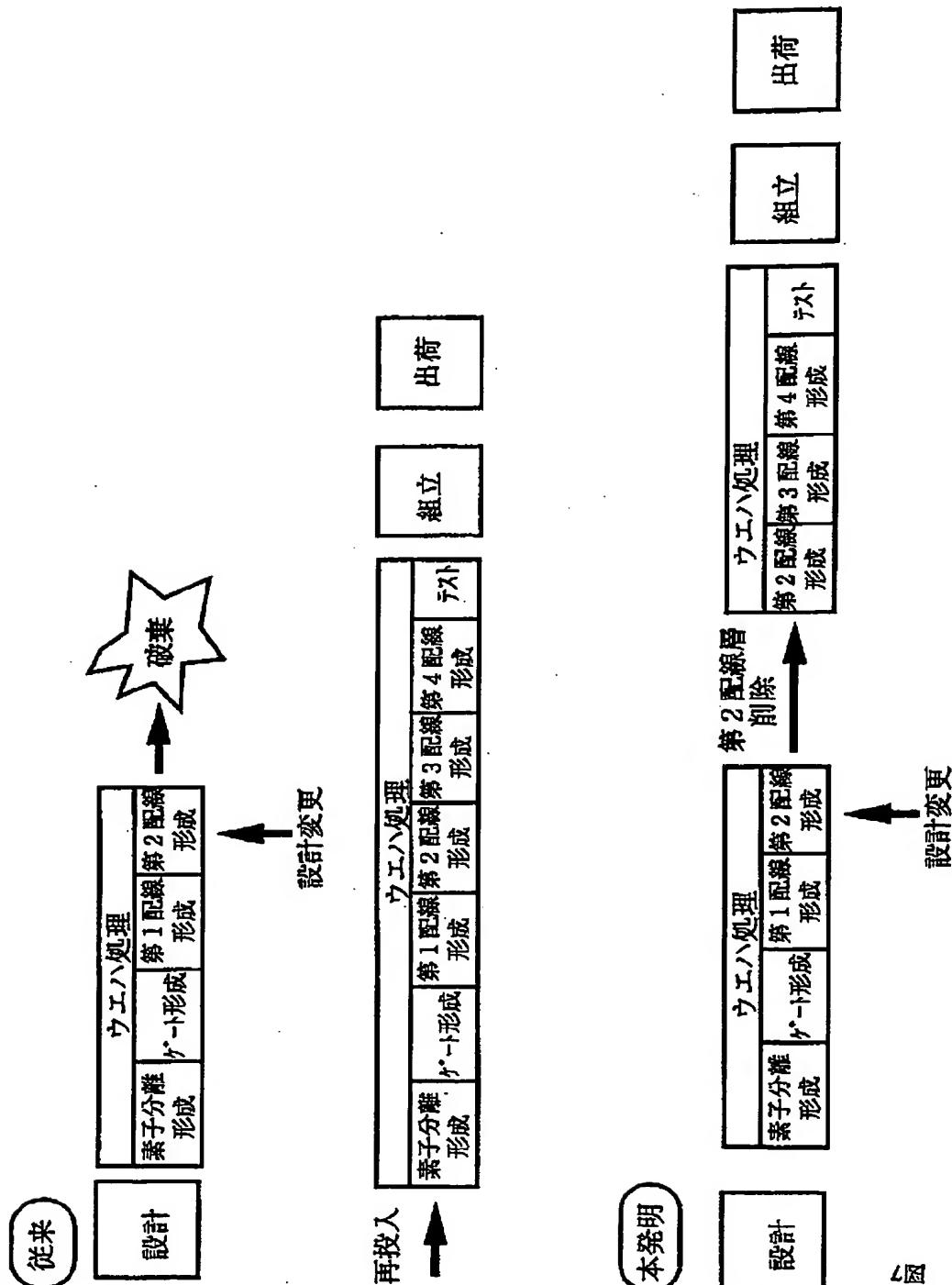


【図 6】

図 6



【図7】



図

フロントページの続き

(72)発明者 中里 純

神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所生産技術研究所内

BEST AVAILABLE COPY